

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-293596

(43)Date of publication of application : 21.12.1987

(51)Int.Cl.

G11C 15/04

(21)Application number : 61-  
135044(71)Applicant : MATSUSHITA ELECTRIC  
IND CO LTD

(22)Date of filing :

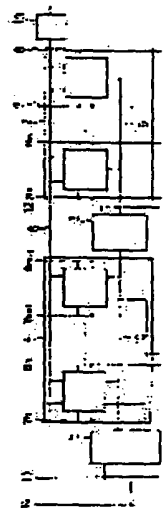
12.06.1986 (72)Inventor : YAMAGUCHI SEIJI

## (54) ASSOCIATIVE STORAGE DEVICE

## (57)Abstract:

PURPOSE: To attain low power consumption by functioning a 2nd associative memory cell array and a 2nd sense amplifier for only a word coincident in the 1st associative memory cell array.

CONSTITUTION: In the associative memory device forming one word by  $n$  bits, input data is compared with that of the 1st associative memory cell array 2 forming one word by  $m$  bits, a sense amplifier 5 of the 2nd associative memory cell array 4 using 1 word as  $(n-m)$ bits is activated and the presence of the coincidence with the  $(n-m)$ bits is detected. Thus, the bit length of 1 word is expanded and the number of repetitions of light discharge at each cycle is reduced by comparison in the unit of words and the power consumption is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection][Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted

Fig. 1 is a block diagram showing a configuration of a portion of an  
5 associative memory corresponding to one word.

In Fig. 1, reference numeral 1 denotes a decoder, 2 denotes a first  
associative memory array where one word is defined by  $m$  bits, 3 denotes a  
sense amplifier for pre-charging or amplifying a comparison result output per  
word in case that  $m$  bits constitute one word, 4 denotes a second associative  
10 memory array where one word is defined by  $(n-m)$  bits, 5 denotes a sense  
amplifier for pre-charging or amplifying a comparison result output per word in  
case that  $(n-m)$  bits constitute one word, 6 denotes a word line for writing in an  
associative memory array, 7, 8 denote bit lines  $B_i$ ,  $B'_i$  ( $i = 1$  to  $n$ ), 9 denotes a  
comparison result output per word between bit line data of  $m$  bits and memory  
15 data, 10 denotes a word line for coincidence output selected when the  
comparison result output 9 corresponding to  $m$  bits is in a coincident state, 11  
denotes a comparison result output per word between bit line data of  $(n-m)$   
bits and memory data, 12 denotes a first pre-charging signal for pre-charging  
the comparison result output 11 corresponding to  $m$  bits, 13 denotes a second  
20 pre-charging signal for pre-charging the comparison result output 11  
corresponding to  $(n-m)$  bits, and 14 denotes a coincidence signal for detecting  
whether or not a word having memory data coincident with input data of  $n$  bits  
exists.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-293596

⑬ Int.Cl.<sup>4</sup>  
G 11 C 15/04

識別記号 庁内整理番号  
B-6549-5B

⑭ 公開 昭和62年(1987)12月21日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 連想記憶装置

⑯ 特 願 昭61-135044

⑰ 出 願 昭61(1986)6月12日

⑱ 発 明 者 山 口 聖 司 門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地  
⑳ 代 理 人 弁理士 星野 恒 司 外1名

明 細 書

1. 発明の名称 連想記憶装置

2. 特許請求の範囲

1ワードをnビットで構成する連想記憶装置において、nビットのデータを書き込むためのワードの選択を行なうデコーダと、1ワードをmビットで構成する第1の連想メモリセルアレイと、前記第1の連想メモリセルアレイの比較結果を検出する第1のセンスアンプと、前記第1のセンスアンプの出力を用いて比較動作を行なう1ワードを(n-m)ビットとする第2の連想メモリセルアレイと、前記第2の連想メモリセルアレイの比較結果を、前記第1のセンスアンプ出力に応じて検出する第2のセンスアンプとを備えたことを特徴とする連想記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は連想記憶装置に関するものである。

(従来の技術)

第3図は従来の連想記憶装置の1ワード分の構成を示すブロック図である。同図において、31はデコーダ、32は1ワードをnビットとする連想メモリセルアレイ、33はワード単位的一致検出信号をプリチャージおよび増幅するためのセンスアンプ、34は連想メモリセルへのデータ書き込み用ワード線、B135、B'136(i=1~n)はビット線、37はnビットのビット線の入力データと記憶データとのワード単位の比較結果出力、38はセンスアンプ33のプリチャージ信号、39は入力データと一致する記憶データを持つワードが存在するかどうかを検出する一致検出信号である。

書き込み動作は、デコーダ21によってワード線24が選択される。選択されたワード線24ではビット線B135、B'136(i=1~n)の入力データを連想メモリセルに書き込みが行なわれる。連想メモリセルは通常、スタティック型ランダムアクセスメモリ(SRAMと略す)のセルと比較回路とで構成されているため、書き込みのデータはSRAMのセルで記憶される。

比較動作は入力データをビット線B135, B'136に転送する前に、各ワードごとにプリチャージ信号38によりセンスアンプ33はワード単位 比較結果34を所定の電位にプリチャージしておく。そして入力データがビット線B135, B'136に転送して、各ワードごとに記憶データと比較動作が行なわれる。

たとえば、ワード単位の比較結果34を“H”レベルにプリチャージして、連想メモリセルを各ビットごとに不一致ならば“L”レベルを出力し、一致ならば高インピーダンス状態にするように構成しておれば、ワード単位の比較結果34は、ワード単位で一致ならば比較結果34は高インピーダンスであり、ワード単位で不一致ならば比較結果34は“L”レベルとなる。

比較結果34が高インピーダンスならば、プリチャージの電位を保持して比較結果34は“H”レベルとなる。

ワード単位の比較結果34の電位の確定によって、一致検出信号39が確定する。

作時に低消費電力化がはかられている連想記憶装置を提供することである。

(問題点を解決するための手段)

本発明の連想記憶装置は、1ワードを $n$ ビットで構成する連想記憶装置において、 $n$ ビットのデータを書き込むためのワードの選択を行なうデコーダと、1ワードを $m$ ビットで構成する第1の連想メモリセルアレイと、この第1の連想メモリセルアレイの比較結果を検出する第1のセンスアンプと、この第1のセンスアンプの出力を用いて比較動作を行なう1ワードを $(n-m)$ ビットとする第2の連想メモリセルアレイと、この第2の連想メモリセルアレイの比較結果を、第1のセンスアンプ出力に応じて検出する第2のセンスアンプとを備えたものである。

(作用)

本発明は上記構成により、比較動作時に、第1の連想メモリセルアレイで一致したワードについてだけ第2の連想メモリセルアレイおよび第2のセンスアンプを動作させるために、低消費電力が

比較動作時において、各ワードごとに比較結果34を入力データと記憶データとの比較を行なう前に“H”レベルにプリチャージし、そして比較後、比較結果は“H”か“L”のいずれかのレベルに確定するが、ワード単位で不一致ならば、比較結果34は“L”レベルとなり、1サイクル内で充放電を行なうことになり、消費電力の増大につながる。

また、1ワード当りのビット長を拡張したり、ワード数を拡張したりすることで、寄生容量も増加するため、上記のような方式では消費電力の増大を招く問題点がある。

(発明が解決しようとする問題点)

従来の連想記憶装置の構成では、比較動作時において、各ワード単位での比較結果出力は毎サイクルごとに充放電を繰返すために消費電力の増大を招いている。特に1ワードのビット長を大きくした場合、およびワード数の増加をはかったときには、消費電力が増大して連想記憶装置の大容量化に大きな障害となっていた。

本発明の目的は、従来の欠点を解消し、比較動

はかられ、またワード数の拡張および、1ワード当りのビット数の拡張を行なっても低消費電力化がはかれる。

(実施例)

本発明の一実施例を第1図および第2図に基づいて説明する。

第1図は本発明の連想記憶装置の1ワード分の構成を示すブロック図である。

同図において、1はデコーダ、2は1ワードを $m$ ビットとする第1の連想メモリセルアレイ、3は $m$ ビットを1ワードとする場合のワード単位の比較結果出力をプリチャージおよび増幅するためのセンスアンプ、4は1ワードを $(n-m)$ ビットとする第2の連想メモリセルアレイ、5は $(n-m)$ ビットを1ワードとする場合のワード単位の比較結果出力をプリチャージおよび増幅するためのセンスアンプ、6は連想メモリセルへの書き込み用ワード線、7、8はビット線B $i$ , B' $i$ ( $i=1\sim n$ )、9は $m$ ビットのビット線のデータと記憶データとのワード単位の比較結果出力、10は $m$

ビット分の比較結果出力9が一致状態のときに選択される一致検出用ワード線、11は $(n-m)$ ビットのビット線のデータと記憶データとのワード単位比較結果出力、12は $m$ ビット分の比較結果出力9をプリチャージする第1のプリチャージ信号、13は $(n-m)$ ビット分の比較結果出力11をプリチャージする第2のプリチャージ信号、14は $n$ ビットの入力データと一致する記憶データを持つワードが存在するかどうかを検出する一致検出信号である。

第2図は本発明の連想記憶装置の1ワード分の具体的な回路構成を示す回路図である。

同図において、15は第1の連想メモリセル、16は第2の連想メモリセル、17、18はプリチャージ回路、19、20はトライステイトインバータバッファである。

次に動作について説明する。書き込み動作は、書き込み信号21が“H”レベルになるとデコーダ1により書き込まれるワード線6が選択されて“H”レベルとなり、連想メモリセル15、16のトランス

一致検出用ワード線10が“H”レベルならば、第2のセンスアンプ5を非動作状態にしてトライステイトバッファ20の出力を高インピーダンス状態にしている。一方一致検出用ワード線10が“L”レベルならば、第2のセンスアンプ5は動作状態となり第2の連想メモリセルアレイ4では $(n-m)$ ビットの入力データと記憶データで不一致ならば、比較結果出力11は“L”レベルとなり、一致ならば比較結果出力11は“H”レベルとなる。比較結果出力11の電位に応じて、第2のセンスアンプ5が一致検出信号を生成する。すなわち、一致検出信号14は一致ワードがある場合“L”レベルとなり、一致ワードがない場合には“H”レベルとなる。

上記のように、本発明の連想記憶装置では、 $n$ ビットのデータのうち $m$ ビットのデータの比較動作を行ない、一致するワードがあれば、残りの $(n-m)$ ビットについて比較動作を行なって、一致検出信号14を生成している。一致しないワードについては、残りの $(n-m)$ ビットについては比較動作に関係なく第2のセンスアンプ5を非動作

ファグートを導通状態として、ビット線B17、B'18に転送された書き込みデータを取り込み、2個のインバータで成されたインバータに記憶される。

比較動作では、 $n$ ビットの入力データがビット線B17、B'18に転送される前に、プリチャージ信号12、13によりプリチャージ回路17、18を動作させて、比較結果9、11をプリチャージしておく。プリチャージ終了後、ビット線B17、B'18に入力データを転送して各ワード毎に比較動作が行なわれる。まず、第1の連想メモリセルアレイ2では $m$ ビットの入力データと記憶データで不一致ならば、比較結果9は“L”レベルとなり、一致ならば比較結果9は“H”レベルとなる。トライステイトバッファ19はプリチャージ動作が終了すると動作状態となり、比較結果9の電位に応じて、比較結果9が“H”レベルならば、一致検出用ワード線10は“L”レベルを出力し、比較結果9が“L”レベルならば一致検出用ワード線10は“H”レベルを出力する。

状態にするため、第2のセンスアンプ5の出力は高インピーダンス状態としている。これによって、比較動作時に、一致しないワードに関して動作させないため、低消費電力化がはかれる。

#### (発明の効果)

本発明によれば、連想記憶装置の比較動作時の大幅な低消費電力化がはかれ、1ワード当りのビット長の拡張およびワード数の拡張に対しても低消費電力化が保たれるため大容量化が実現でき、実用上の効果は大なるものがある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における連想記憶装置の1ワード分のブロック構成図、第2図は本発明の連想記憶装置の1ワード分の回路図、第3図は従来の連想記憶装置の1ワード分のブロック構成図である。

1…デコーダ、2、4…連想メモリセルアレイ、3、5…センスアンプ、6、10…ワード線、7、8…ビット線、9、11…比較結果出力、12、13…プリチャージ

ジ 号、 14...一致検出信号、 15, 16...  
連想メモリセル、 17, 18...プリチャージ  
回路、 19, 20...トライステートインバー  
タバッファ、 21... き込み信号。

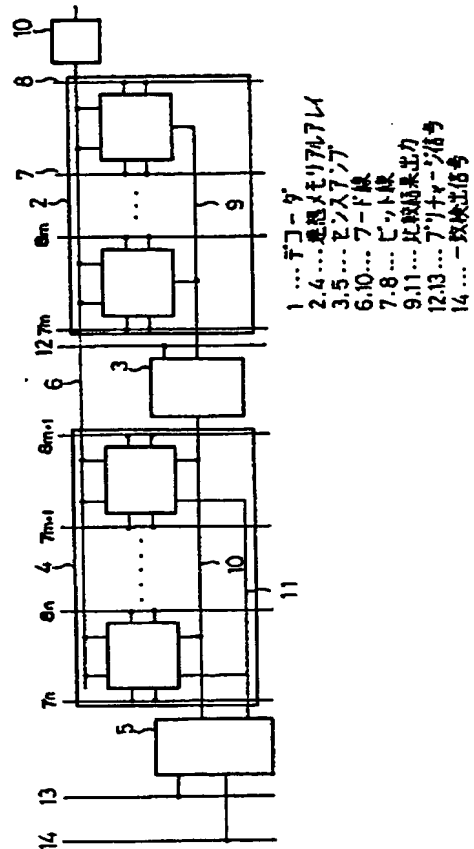
特許出願人 松下電器産業株式会社

代理人 星 野 恒

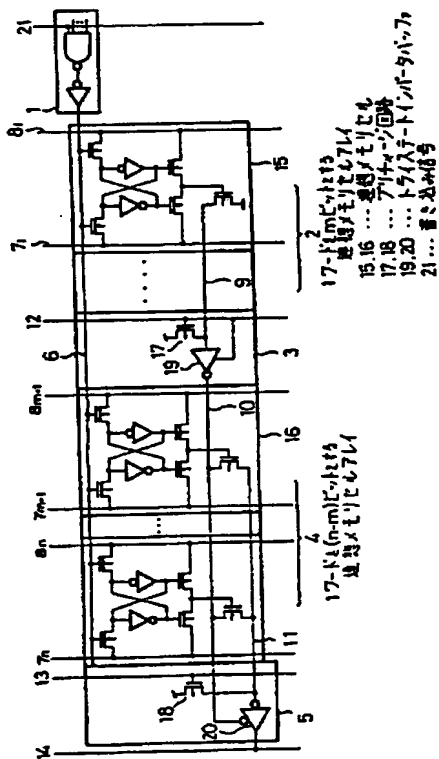
岩 上 界



第 1 図



第 2 図



第 3 図

